



Docket No. 210639US2/btm

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hideo KAWANO, et al.

GAU:

SERIAL NO: 09/897955

EXAMINER:

FILED: July 5, 2001

FOR: MATRIX ARRAY SUBSTRATE

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-208614	July 10, 2000
JAPAN	2000-319948	October 19, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)



日本国特許庁
JAPAN PATENT OFFICE

09/897955
(3)-1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 7月10日

出願番号
Application Number:

特願2000-208614

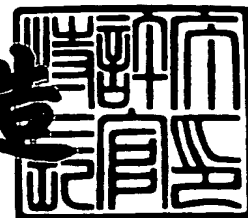
出願人
Applicant(s):

株式会社東芝

2001年 6月21日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3058575

【書類名】 特許願

【整理番号】 000710SPP1

【提出日】 平成12年 7月10日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/13

【発明の名称】 マトリクスアレイ基板

【請求項の数】 8

【発明者】

 【住所又は居所】 兵庫県姫路市余部区上余部 5 0 番地 株式会社東芝姫路
工場内

 【氏名】 川野 英郎

【発明者】

 【住所又は居所】 兵庫県姫路市余部区上余部 5 0 番地 株式会社東芝姫路
工場内

 【氏名】 北畑 元幸

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 神奈川県川崎市幸区堀川町 7 2 番地

 【氏名又は名称】 株式会社東芝

【代理人】

 【識別番号】 100059225

 【住所又は居所】 大阪府大阪市中央区瓦町 1 丁目 7 番 1 号 第百生命大阪
瓦町ビル 8 階 蔦田内外国特許事務所

 【弁理士】

 【氏名又は名称】 蔦田 璋子

 【電話番号】 06-6227-5535

【選任した代理人】

 【識別番号】 100076314

 【住所又は居所】 大阪府大阪市中央区瓦町 1 丁目 7 番 1 号 第百生命大

阪瓦町ビル 8 階 蔦田内外国特許事務所

【弁理士】

【氏名又は名称】 蔦田 正人

【電話番号】 06-6227-5535

【選任した代理人】

【識別番号】 100112612

【住所又は居所】 大阪府大阪市中央区瓦町 1 丁目 7 番 1 号 第百生命大
阪瓦町ビル 8 階 蔦田内外国特許事務所

【弁理士】

【氏名又は名称】 中村 哲士

【電話番号】 06-6227-5535

【選任した代理人】

【識別番号】 100112623

【住所又は居所】 大阪府大阪市中央区瓦町 1 丁目 7 番 1 号 第百生命大
阪瓦町ビル 8 階 蔦田内外国特許事務所

【弁理士】

【氏名又は名称】 富田 克幸

【電話番号】 06-6227-5535

【手数料の表示】

【予納台帳番号】 008589

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 マトリクスアレイ基板

【特許請求の範囲】

【請求項 1】

略平行に配列される複数の走査線と、この走査線に略直交して配列される複数の信号線と、これら走査線及び信号線により画されるマトリクス状の各領域に配置される画素電極と、前記画素電極ごとに前記走査線と前記信号線の各交点近傍に設けられ前記走査線の電流にしたがって信号入力を行なうスイッチング素子と

第 1 及び第 2 の前記走査線に挟まれ該第 1 の走査線の電流にしたがい信号入力される第 1 の画素電極から、前記第 2 の走査線の電流にしたがって前記信号入力が行なわれる第 2 の前記画素電極の側へと延在されて、前記第 2 の走査線に絶縁膜を介して重ねられる補助容量形成用の延在部と、

前記第 1 の画素電極と前記第 2 の画素電極との電氣的接続を可能にするタンデムリペア回路とを備えるマトリクスアレイ基板であって、

前記タンデムリペア回路は、

前記第 1 の画素電極から延在された前記延在部に接続する第 1 電極部と、

この第 1 電極部から間隔を置いて配置され前記第 2 の画素電極に接続する第 2 電極部と、

これら第 1 及び第 2 電極部の間にかけてわたすように配置される第 3 電極部と、

前記第 2 の走査線に重なる領域に配置されて、前記絶縁膜を貫いて前記第 1 電極部と前記延在部とを互いに導通させるコンタクトホールとからなることを特徴とするマトリクスアレイ基板。

【請求項 2】

前記第 1 電極部は、前記第 3 電極部に重なる個所から前記走査線への内側領域へと前記走査線の一の輪郭線に略直交して延びる細線部分と、該細線部分の一端部と連続し前記走査線の領域内に配置される、前記コンタクトホールを配置する

ための幅広部とからなることを特徴とする請求項 1 記載のマトリクスアレイ基板

【請求項 3】

前記幅広部の前記走査線に沿った方向の寸法は、前記走査線の幅より小さいことを特徴とする請求項 1 記載のマトリクスアレイ基板。

【請求項 4】

前記幅広部の寸法が、前記コンタクトホール寸法と、そのパターニング時の位置ずれを吸収する位置合せマージンとを合わせた寸法にほぼ等しいことを特徴とする請求項 3 記載のマトリクスアレイ基板。

【請求項 5】

前記各スイッチング素子は、前記第 1 の走査線またはその延在部からなるゲート電極と前記第 1 の信号線またはその延在部からなるドレイン電極と、前記絶縁膜を貫くコンタクトホールを介して前記第 1 の画素電極に接続されるソース電極とからなり、

前記第 2 電極部が前記ソース電極の延在部からなることを特徴とする請求項 1 記載のマトリクスアレイ基板。

【請求項 6】

前記第 3 電極部は前記走査線と同時に形成される第 1 層の金属層のパターンからなり、前記第 1 及び第 2 電極部は前記信号線と同時に形成される第 2 層の金属層のパターンからなることを特徴とする請求項 1 記載のマトリクスアレイ基板。

【請求項 7】

前記第 2 層の金属層が金属アルミニウムまたはその合金からなることを特徴とする請求項 6 記載のマトリクスアレイ基板。

【請求項 8】

前記画素電極及びその延在部が透明導電材料のパターンからなり、前記第 1 層及び第 2 層の金属層のパターンより上層に位置することを特徴とする請求項 7 記載のマトリクスアレイ基板。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、液晶表示装置に代表される平面表示装置等に用いられるマトリクスアレイ基板に関する。

【 0 0 0 2 】

【従来の技術】

近年、液晶表示装置等の平面表示装置は、薄型、軽量、低消費電力の特徴を生かして、パーソナル・コンピュータ、ワードプロセッサあるいはTV等の表示装置として、更に投射型の表示装置として各種分野で利用されている。

【 0 0 0 3 】

中でも、各画素電極にスイッチ素子が電氣的に接続されて成るアクティブマトリクス型表示装置は、隣接画素間でクロストークのない良好な表示画像を実現できることから、盛んに研究・開発が行われている。

【 0 0 0 4 】

以下に、光透過型のアクティブマトリクス型液晶表示装置を例にとり、その構成について簡単に説明する。

【 0 0 0 5 】

一般に、アクティブマトリクス型液晶表示装置は、マトリクスアレイ基板（以下アレイ基板と呼ぶ）と対向基板とが所定の間隔をなすよう近接配置され、この間隔中に、両基板の表層に設けられた配向膜を介して液晶層が保持されて成っている。

【 0 0 0 6 】

アレイ基板においては、ガラス等の透明絶縁基板上に、上層の金属配線パターンとして例えば複数本の信号線と、下層の金属配線パターンとして例えば複数本の走査線とが絶縁膜を介して格子状に配置され、格子の各マス目に相当する領域にITO(Indium-Tin-Oxide)等の透明導電材料からなる画素電極が配される。そして、格子の各交点部分には、各画素電極を制御するスイッチング素子が配されている。スイッチング素子が薄膜トランジスタ（以下、TFTと略称する。）である場合には、TFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞ

れ電氣的に接続され、さらにソース電極は画素電極に電氣的に接続されている。

【 0 0 0 7 】

対向基板は、ガラス等の透明絶縁基板上にITO等から成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【 0 0 0 8 】

アクティブマトリクス型液晶表示装置の高い表示品位を確保するためには、アレイ基板において、画素電極に十分な補助容量（保持容量Cs）を付加する必要がある。

【 0 0 0 9 】

従前は、走査線と走査線との間ごとに、走査線と略平行に延びる補助容量線を走査線形成工程と同一の工程にて設けていた。ところが、補助容量線を設けるとそれだけ画素開口率が低下してしまう。

【 0 0 1 0 】

そのため、例えば、走査線と重なる個所に、信号線の形成と同時に補助容量形成用の金属フロートパターンを設け、コンタクトホールによりこの金属フロートパターンと画素電極とを接続させることも試みられている。

【 0 0 1 1 】

しかし、このような構造であると、走査線を覆う絶縁膜（ゲート絶縁膜）に、レジスト露光時のゴミ等に起因するピンホールを通じて、金属フロートパターン及び画素電極と走査線との間に短絡を生じてしまい、それだけアレイ基板の歩留まり（出荷可能な良品率）の低下を招くことがあった。

【 0 0 1 2 】

そこで、このようなフロートパターンを設けず、画素電極の延在部と走査線との間に所要の補助容量を形成させる方式が、より一般的になりつつある。

【 0 0 1 3 】

一方、アレイ基板は、複数の成膜及びパターニングを経て製造され、通常、この製造が終了した時点で検査が行なわれ、各走査線や各信号線における断線や短絡（ショート）の有無、及び画素欠陥などが検出される。

【 0 0 1 4 】

アレイ基板の検査の際、スイッチング素子の不良に起因する画素欠陥が発見された場合には、該画素に係る画素電極と、信号線に沿った方向の隣の画素電極とを電氣的に接続するリペアが行なわれており、このためのリペア回路はタンデムリペア回路と呼ばれている。

【 0 0 1 5 】

図 5 を用いて従来のアレイ基板について説明する。

【 0 0 1 6 】

ある一つの画素電極 5-1 を挟む二つの走査線 1 1-1, 1 1-2 のうち、該画素電極のスイッチングに関与しない方の走査線 1 1-2 (以降、「前段」の走査線と呼ぶ) と、該画素電極 5-1 の延在部 5 1-1 とが重ね合わされている。詳しくは、画素電極 5-1 の延在部 5 1-1 が、前段の走査線 1 1-2 をちょうど越えるところまで延びている。

【 0 0 1 7 】

そして、この延在部 5 1-1 と、前段の画素電極 5-2、すなわち、「前段」の走査線 1 1-2 により駆動される方の、隣の画素電極との間の間隙には、タンデムリペア回路 6 が設けられている。このタンデムリペア回路 6 は、前段の画素電極 5-2 に係る T F T 9-2 が作動しない不良である場合に、一の画素電極 5-1 と前段の画素電極 5-2 とを電氣的に接続するためのものである。

【 0 0 1 8 】

タンデムリペア回路 6 は、該一の画素電極 5-1 からの延在部 5 1-1 にコンタクトホール 4 5 を介して接続する第 1 接続電極部 3 5 と、前段の画素電極 5-2 に接続する第 2 接続電極部 3 6 と、これら端子部 3 5, 3 6 の間にわたされたブリッジ状のリペア用フロートパターン 1 3 とからなる。

【 0 0 1 9 】

【発明が解決しようとする課題】

図 6 に示すように、画素電極の延在部 5 1 に接続する第 1 接続電極部 3 5 は、走査線 1 1 の輪郭線よりも外側、すなわち、走査線 1 1 と全く重なり合わないよう配置されている。これは、上記のように補助容量形成用の金属フロートパタ

ーンと走査線との間での短絡が問題であったことに鑑み、第 1 接続電極部 3 5 と走査線 1 1 との短絡による歩留まり低下を避けるのが当然であったためである。

【 0 0 2 0 】

しかし、この場合、タンデムリペア回路 6 を設けるためのスペースの分だけ、画素開口率が低下することとなる。また、画素開口率の低下を少なくすべく、画素電極の延在部 5 1 -1 と前段の画素電極 5 -1 との間隔 d を小さくした場合には、画素電極を形成するためのパターニングの際に、エッチング残差が該間隔中に残り、これに起因して画素電極間の短絡が生じるという問題があった。

【 0 0 2 1 】

本発明は、上記問題点に鑑みなされたものであり、平面表示装置等に用いられるマトリクスアレイ基板であって、一の画素電極の補助容量形成用延在部と、その隣の画素電極との間に、タンデムリペア回路が設けられたものにおいて、タンデムリペア回路を設けることによる画素開口率の低下を少なくすることができるとともに、画素電極間の短絡を防止できるものを提供する。

【 0 0 2 2 】

【課題を解決するための手段】

請求項 1 記載の発明のアレイ基板は、略平行に配列される複数の走査線と、この走査線に略直交して配列される複数の信号線と、これら走査線及び信号線により画されるマトリクス状の各領域に配置される画素電極と、該画素電極ごとに設けられ、一の前記走査線と一の前記信号線との交点近傍にあって、該一の走査線の電流にしたがって該一の信号線から一の前記画素電極への信号入力を行なう各スイッチング素子と、前記一の走査線とその隣の前記走査線とに挟まれる前記一の画素電極から延在されて、該隣の走査線に絶縁膜を介して重ねられる補助容量形成用の延在部と、前記延在部に接続する第 1 接続電極部、この第 1 接続電極部から間隔を置いて配置され前記隣の画素電極に接続する第 2 接続電極部、及びこれら第 1 及び第 2 接続電極部の間にかかわたすように配置される第 3 接続電極部からなるタンデムリペア回路とを備えるマトリクスアレイ基板において、前記絶縁膜を貫いて前記第 1 接続電極部と前記延在部とを互いに導通させるコンタクトホールが、前記走査線に重なる領域に配置されることを特徴とする。

【 0 0 2 3 】

上記構成により、タンデムリペア回路を設けることによる画素開口率の低下を少なくすることができるとともに、画素電極間の短絡を防止することができる。

【 0 0 2 4 】

請求項 2 のアレイ基板は、前記第 1 接続電極部は、前記第 3 接続電極部に重なる個所から前記走査線への内側領域へと前記走査線の一の輪郭線に略直交して延びる細線部分と、該細線部分の一端部と連続し前記走査線の両輪郭線の内側に配置される、前記コンタクトホールを配置するための幅広部とからなることを特徴とする。

【 0 0 2 5 】

このような構成であると、パターニングの際に位置ずれが生じてても走査線との間に形成される補助容量に変動が生じることがない。

【 0 0 2 6 】

請求項 3 のアレイ基板は、前記幅広部の前記走査線に沿った方向の寸法は、前記走査線の幅より小さいことを特徴とする。

【 0 0 2 7 】

このような構成であると、走査線に重ねられる第 1 接続電極の面積が小さいため、走査線と第 1 接続電極との間の短絡は十分に抑えられる。

【 0 0 2 8 】

【発明の実施の形態】

実施例のマトリクスアレイ基板 10 について、図 1 ～ 3 を用いて説明する。

【 0 0 2 9 】

図 1 ～ 2 の平面図には、アレイ基板 10 の画素部分の構成を示す。また、図 3 には、TFT 及びタンデムリペア回路の個所（図 2 の A - A 断面）における平面表示装置の積層構造を示す。図 4 には、タンデムリペア回路の第 1 接続電極形成個所（図 2 の B - B 断面）における平面表示装置の積層構造を示す。

【 0 0 3 0 】

実施例の平面表示装置は、画像表示領域の対角寸法が 13.3 インチであって XGA-TFT 型のノーマリホワイトモードの光透過型液晶表示装置である。

【0031】

この平面表示装置のアレイ基板10においては、 1024×3 本の信号線1と、768本の走査線11が互いに直交するように配列される。走査線11及びゲート電極12を含む下層の金属配線パターンは、単層のモリブデン-タングステン(Mo-W)合金により形成され、全体がゲート絶縁膜17により覆われる。

【0032】

信号線31と走査線11とにより区画される画素開口ごとにおいて、信号線31と走査線11との交差部近傍に、スイッチング素子としてのTFT9が配置される。TFT9は、図4に示すように、走査線11の延在部11aをゲート電極とする逆スタガ型であって、このゲート電極12を覆う個所に、ゲート絶縁膜17を介して、半導体活性層としてのアモルファスシリコン(a-Si:H)層34が配置される。このアモルファスシリコン層34の上には、略中央のチャネル部にチャネル保護膜2が配置され、チャネル部以外にオーミックコンタクト層としてのリンドーブアモルファスシリコン(n+a-Si:H)層39が積層配置される。さらにこの上には、アルミニウム(Al)から成るソース電極33及びドレイン電極32が配置される。これらソース電極33及びドレイン電極32を含む上層の金属配線パターンは、全体が、窒化シリコン膜から成る層間絶縁膜4により覆われる。

【0033】

層間絶縁膜4の上には画素開口ごとにITO層からなる画素電極5が配され、層間絶縁膜4を貫くコンタクトホール41を介してソース電極33と電氣的に接続する。

【0034】

図1に示すように、画素電極5には、この画素電極5に接続するTFT9から遠い側に、走査線11との間で補助容量を形成するための画素電極延在部51が形成されている。すなわち、一の画素電極5-1を挟む二つの走査線11-1, 11-2のうち、一方(図における下方)の走査線11-1が該画素電極5-1に接続するTFT9-1のスイッチングを駆動する。そして、他方(図における上方)の走査線11-2上には、該画素電極5-1から延在された画素電極延在部51-1が重ね合わされて、これらの間に該一の画素電極5-1のための補助容量Csを形成してい

る。ここで、画素電極延在部 5 1-1 は、「前段」の走査線 1 1-2 をちょうど乗り越えたあたりまで、すなわち、前段の走査線 1 1-2 における前段の画素開口に沿った輪郭線 1 1 b を覆うところまで延びている。

【 0 0 3 5 】

前記一の画素電極 5-1 と前段の画素電極 5-2 との間には、前段の画素に係る T F T 9-2 が不良である場合に、これら画素電極 5-1, 5-2 を互いに接続するためのタンデムリペア回路 6-2 が設けられている。

【 0 0 3 6 】

タンデムリペア回路 6-2 は、前記一の画素電極 5-1 に係る延在部 5 1-1 に接続する第 1 接続電極部 3 5 と、前段の画素電極 5-2 に接続する第 2 接続電極部 3 6 と、これら端子部 3 5, 3 6 の間にわたされたブリッジ状の第 3 接続電極部 1 3 とからなる。

【 0 0 3 7 】

第 1 接続電極部 3 5 は、信号線 3 1、ソース電極 3 3 及びドレイン電極 3 2 と同時に作成される第 2 金属層のフロートパターンからなり、第 2 接続電極部 3 6 は、ソース電極 3 3 の延在部からなる。また、第 3 接続電極部 1 3 は、走査線 1 1 と同時に作成される第 1 金属層のフロートパターンからなる。

【 0 0 3 8 】

第 1 接続電極部 3 5 は、図に示すように、前段の走査線 1 1-2 の幅方向の略中央部に配置される略円形の幅広部 3 7 と、走査線の輪郭線 1 1 b を略直角に横切って信号線 3 1 に沿った方向に延びる細線部 3 8 とからなる。幅広部 3 7 は、画素電極 5 との接続用のコンタクトホール 4 5 を収納するための寸法に形成される。幅広部 3 7 の径は図示の例で走査線 1 1 の幅の 0. 6 倍前後である。

【 0 0 3 9 】

第 1 接続電極部 3 5 の細線部 3 8 は、一端部が幅広部 3 7 における一の信号線 3 1 (画素駆動に関連した方の信号線) の側の部分と連続しており、他端部が、第 3 接続電極部 1 3 の一方の端部を覆っている。

【 0 0 4 0 】

第 2 接続電極部 3 6 は、T F T 9-2 のソース電極 3 3 から、該 T F T 9-2 に関

連する走査線 1 1-2へと信号線 3 1に沿った方向に線状に延在されて、第 3 接続電極部 1 3のもう一方の端部を覆っている。第 2 接続電極部 3 6は、上記細線部 3 8と平行に一定の間隔を置いて延びている。図示の例で、第 1 接続電極部 3 5と第 2 接続電極部 3 6との間隔は、ソース電極 3 3とドレイン電極 3 2との間隔に略等しい。

【 0 0 4 1 】

図 1～2に示されるように、本実施例では、タンデムリペア回路 6を設けるにあたり、第 1 接続電極部 3 5の幅広部 3 7を走査線 1 1上の領域内に配置したため、画素開口率をほぼこの幅広部 3 7の面積の分だけ大きくすることができる。

【 0 0 4 2 】

しかも、タンデムリペア回路 6の第 1 接続電極部 3 5と、走査線 1 1とが重なり合う面積は、画素電極延在部 5 1に比べてかなり小さいため、この重なり合う領域での層間ショート確率はかなり小さく、歩留まりへの影響は実際上問題にならない程度である。

【 0 0 4 3 】

次に、図 1～2を用いて、アレイ基板 1 0の製造工程の概略を説明する。

【 0 0 4 4 】

(1) 第 1 のパターニング

ガラス基板 1 8上（図 2）上に、スパッタ法により、例えばモリブデン—タングステン合金膜（MoW膜）を堆積させた後、走査線 1 1、及びその延在部からなるゲート電極 1 2を形成する。同時に、タンデムリペア回路 6のブリッジ部をなすためのフロートパターン 1 3を形成する。

【 0 0 4 5 】

また、同時に、信号線細線部 3 1a（信号線 3 1におけるドレイン電極形成部以外の画素電極に沿った部分）の予定個所を左右から挟むように、帯状のフロートパターン 1 4を形成する。この帯状フロートパターン 1 4は、図 4に示すように、画素電極 5 2の縁と重なり、遮光を行うとともに部分的に補助容量を形成するものである。

【 0 0 4 6 】

(2) 第2のパターニング

プラズマCVD法により、酸化シリコン膜からなる第1ゲート絶縁膜15、および、窒化シリコン膜からなる第2ゲート絶縁膜16を堆積させ、さらに、TFT9の半導体活性層をなすためのアモルファスシリコン(a-Si:H)層34、及び窒化シリコン膜を連続して堆積させる。

【0047】

この後、窒化シリコン膜をパターニングしてTFT9のチャネル部に対応する個所にチャネル保護膜2を形成する。

【0048】

(3) 第3のパターニング

プラズマCVD法によりリンドーブアモルファスシリコン(n+a-Si:H)層39を堆積し、さらに、スパッタリングにより、例えばアルミニウム(Al)からなる金属層を堆積させる。この金属層と半導体層を一括してパターニングすることにより、信号線下層配線31、この延在部から成るドレイン電極32、及びソース電極33を形成する。

【0049】

また、同時に、タンデムリペア回路6の第1接続電極部35をフロートパターンとして、第2接続電極部36をソース電極33の延在部として形成する。

【0050】

(4) 第4のパターニング

窒化シリコンから成る層間絶縁膜4を堆積した後、ソース電極33と画素電極5とを接続させるためのソースー画素電極間コンタクトホール41、及び、画素電極延在部51と第1接続電極35とを接続するためのフロートー画素電極間コンタクトホール45を同時に作成する。さらに、画素電極と同時に形成される信号線補助配線55を信号線31と接続するための冗長配線用コンタクトホール42が、ドレイン電極32の個所に設けられる。

【0051】

(5) 第5のパターニング

透明導電層として、例えばITOを堆積した後、パターニングにより、画素電

極 5 及びその延在部 5 1 を作成する。また、同時に信号線補助配線 5 5 を形成する。

【 0 0 5 2 】

上記のようにして作成されたアレイ基板 1 0 について検査が行なわれ、特定の T F T 9 - 2 の不良に起因する点欠陥（画素欠陥）が発見された場合には、次のようなりペアが行われる。

【 0 0 5 3 】

一の画素から見て前段の画素に画素欠陥が発見された場合、該前段の画素に係るタンデムリペア回路 6 - 2 にレーザー光照射を行ない、一の画素の画素電極 5 1 - 1 と前段の画素の画素電極 5 1 - 2 とを接続する。詳しくは、第 1 接続電極 3 5 と第 3 接続電極 1 3 とが重なり合う個所から、第 2 接続電極 3 6 と第 3 接続電極 1 3 とが重なり合う個所にかけてレーザー光を照射する。これにより、この重なり合う個所で絶縁膜を部分的に除去するとともに第 1 及び第 2 接続電極 3 5 , 3 6 を構成する金属アルミニウムを溶融させて、重なり合う電極間での導通を実現する。

【 0 0 5 4 】

本実施例に係るアレイ基板 1 0 では、上記のように前段の画素電極と電氣的に接続する「タンデムリペア」に代えて、点欠陥に係る画素を「滅点化」するリペアも容易に行なうことができる。「滅点化」とは、ノーマリホワイトモードの平面表示装置にあって、T F T 不良に起因して常に白表示を行なうこととなっている画素について、常に黒表示を行なうように変換することで、点欠陥を目立たなくする操作である。

【 0 0 5 5 】

実施例のアレイ基板 1 0 であると、信号線 3 1 と同時に低融点金属により作成される第 1 接続電極部 3 5 が走査線 1 1 に重なり合っているため、この重なり合う部位にレーザー光を照射することにより、容易に、点欠陥に係る画素電極 5 と走査線 1 1 とを短絡させることができる。詳しくは、一の画素電極 5 - 1 に係る T F T 9 - 1 が不良である場合に、前段の画素電極 5 - 2 との間のリペア回路 6 - 2 に係る第 1 接続電極 3 5 の幅広部 3 8 と、前段の走査線 1 1 - 1 との間を導通させる。

このようにして、一の画素電極 5-1 がコンタクトホール 4 2 及び幅広部 3 8 を介して前段の走査線 1 1-1 と電氣的に接続するのである。

【 0 0 5 6 】

走査線 1 1 には、対向電極との差が大きい電位が供給されているため、画素電極 5 が走査線 1 1 と接続されるならば、ノーマリホワイトモードの平面表示装置にあって黒表示を行なう黒点（滅点）をなす。

【 0 0 5 7 】

近年、平面表示装置の画像表示に対する要求性能の向上に伴い、高いフレーム周波数で駆動することがあるが、このような場合、タンデムリペアを行なうよりも滅点化を行なう方が適切なことが多い。タンデムリペアであると、一つの T F T 9-1 が二つの画素電極 5-1, 5-2 に画素電位を供給するため、高いフレーム周波数で液晶表示装置を駆動する場合に、これら画素電極 5-1, 5-2 に印加される電圧が、他の画素電極 5 に比べて著しく低くなってしまふ。すなわち、ノーマリホワイトモードにおいて、他の画素電極 5 よりも著しく輝度が高くなってしまい、表示性能を損なってしまう。このような場合、図 5 に示すような従来技術のアレイ基板であると、金属アルミニウム等からなる第 1 接続電極 3 5 と走査線 1 1 とは全く重なり合っていないので、これらを導通させて滅点化を行なうことは非常に困難である。また、I T O からなる画素電極 5 と走査線 1 1 とを、直接、レーザー光照射により導通させることもできない。

【 0 0 5 8 】

本実施例のアレイ基板 1 0 であると、上記に説明したように、全く同一のアレイ基板 1 0 でもって、高フレーム周波数で駆動される液晶表示装置の点欠陥にも、それ以外の、より低いフレーム周波数で駆動される液晶表示装置の点欠陥にも対応することができる。

【 0 0 5 9 】

【発明の効果】

平面表示装置等に用いられるマトリクスアレイ基板であって、一の画素電極の補助容量形成用延在部と、その隣の画素電極との間に、タンデムリペア回路が設けられたものにおいて、タンデムリペア回路を設けることによる画素開口率の低

下を少なくすることができるとともに、画素電極間の短絡を防止できる。また、ノーマリホワイトモードの平面表示装置に用いる場合、容易に、滅点化（黒点化）によるリペアを行なうこともできる。

【図面の簡単な説明】

【図 1】

実施例のアレイ基板における画素部分の概略構成を模式的に示す平面図である。

【図 2】

一の画素部分の全体概形を示す、図 1 と同様の平面図である。

【図 3】

TFT 近傍（図 2 の A - A 断面）における平面表示装置の積層構造を示す部分断面図である。

【図 4】

タンデムリペア回路用のコンタクトホール近傍（図 2 の B - B 断面）における平面表示装置の積層構造を示す部分断面図である。

【図 5】

従来例のアレイ基板を示す、図 1 に対応する平面図である。

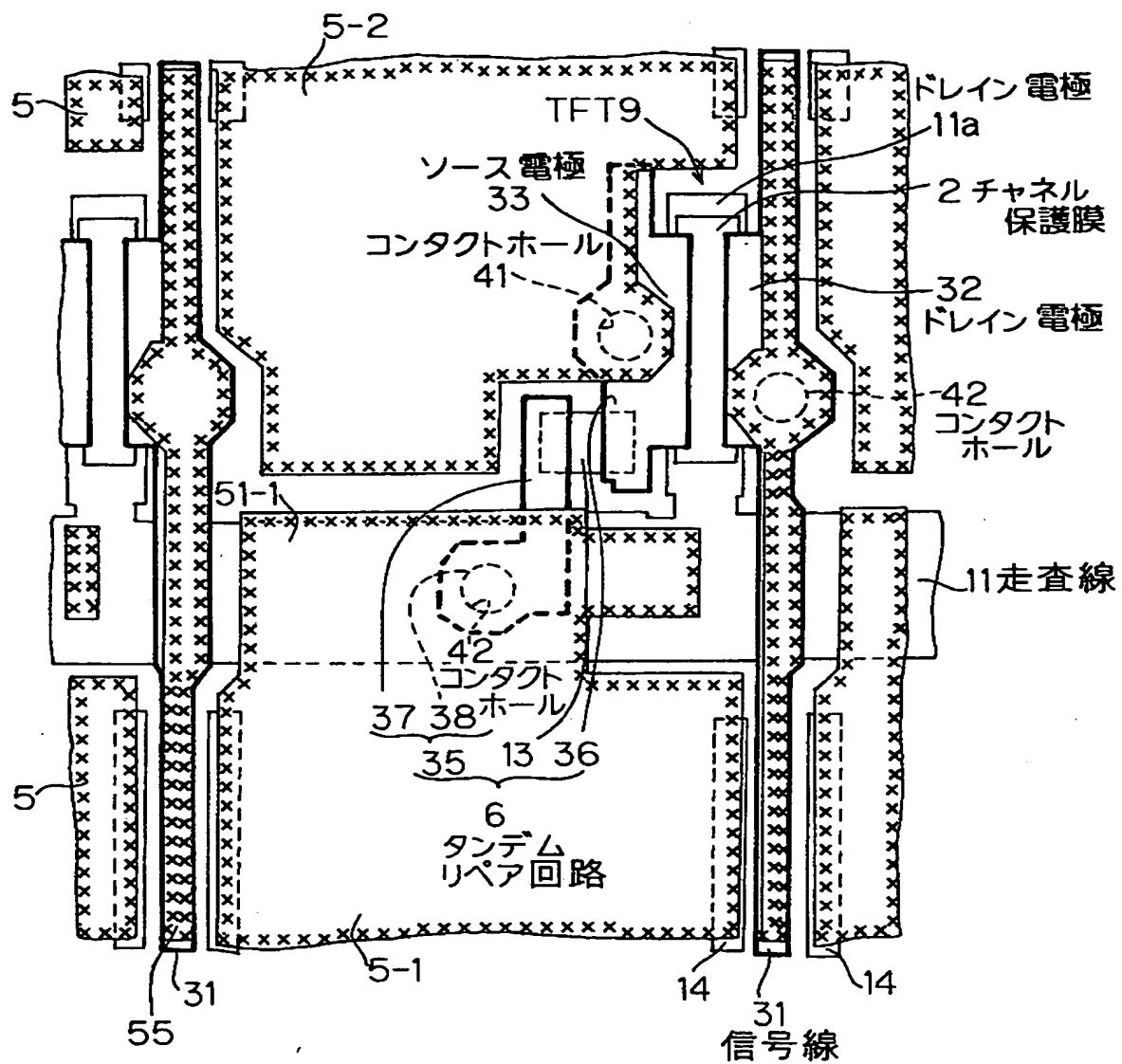
【符号の説明】

- 1 0 アレイ基板
- 1 1 走査線
- 1 2 ゲート電極
- 1 3 タンデムリペア回路 6 の第 3 接続電極
- 1 4 遮光用の帯状フロートパターン
- 2 チャンネル保護膜
- 3 1 信号線
- 3 2 ドレイン電極
- 3 3 ソース電極
- 3 5 タンデムリペア回路 6 の第 1 接続電極

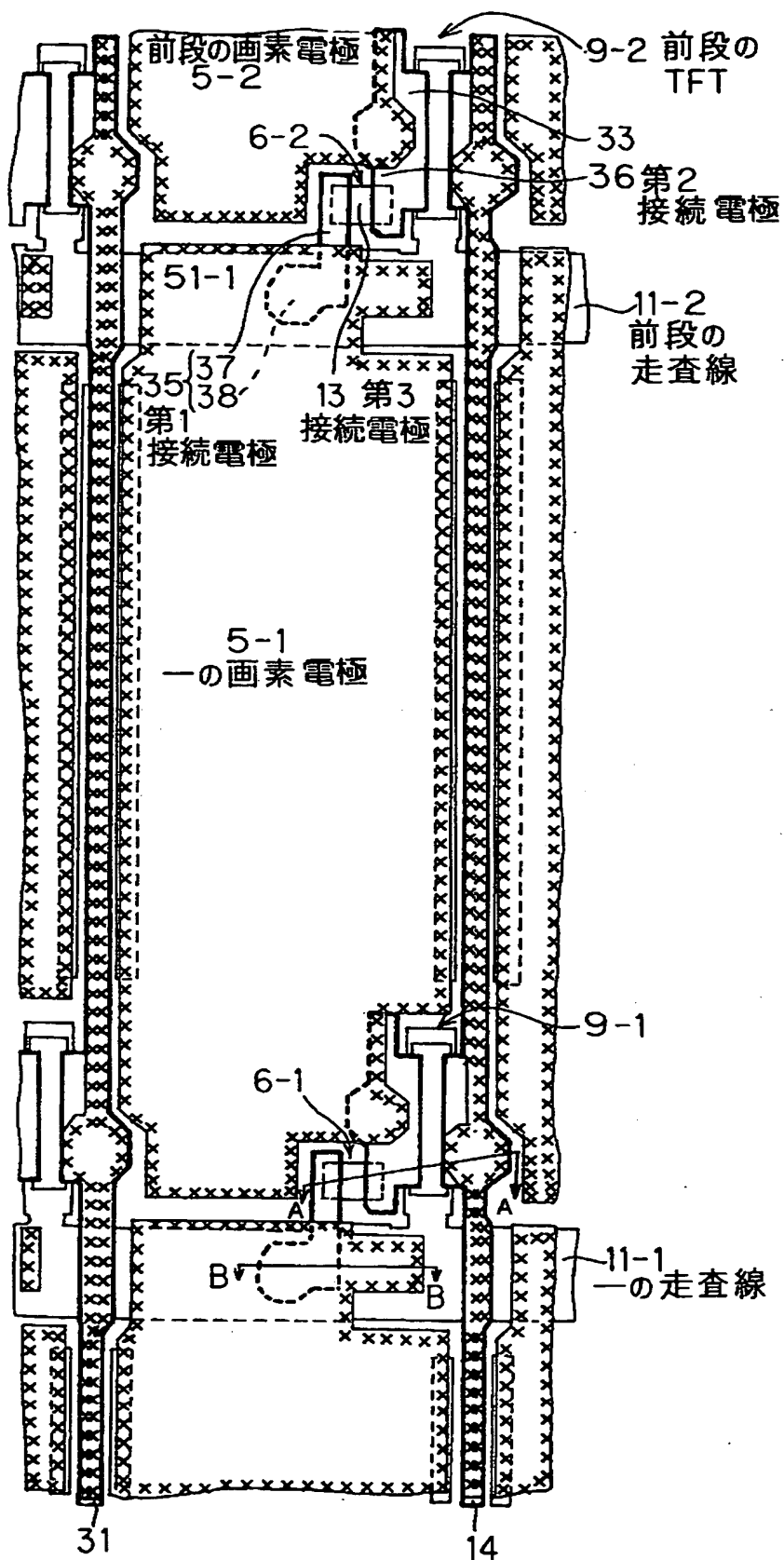
- 3 6 タンデムリペア回路 6 の第 2 接続電極
- 3 7 第 1 接続電極 3 5 の幅広部
- 3 8 第 1 接続電極 3 5 細線部
- 4 1 ソースー画素電極間コンタクトホール
- 4 2 信号線冗長配線用コンタクトホール
- 4 5 タンデムリペア回路用のコンタクトホール
- 5 画素電極
- 5 1 補助容量形成用の画素電極延在部
- 5 5 信号線補助配線
- 6 タンデムリペア回路
- 9 T F T

【書類名】 図面

【図1】

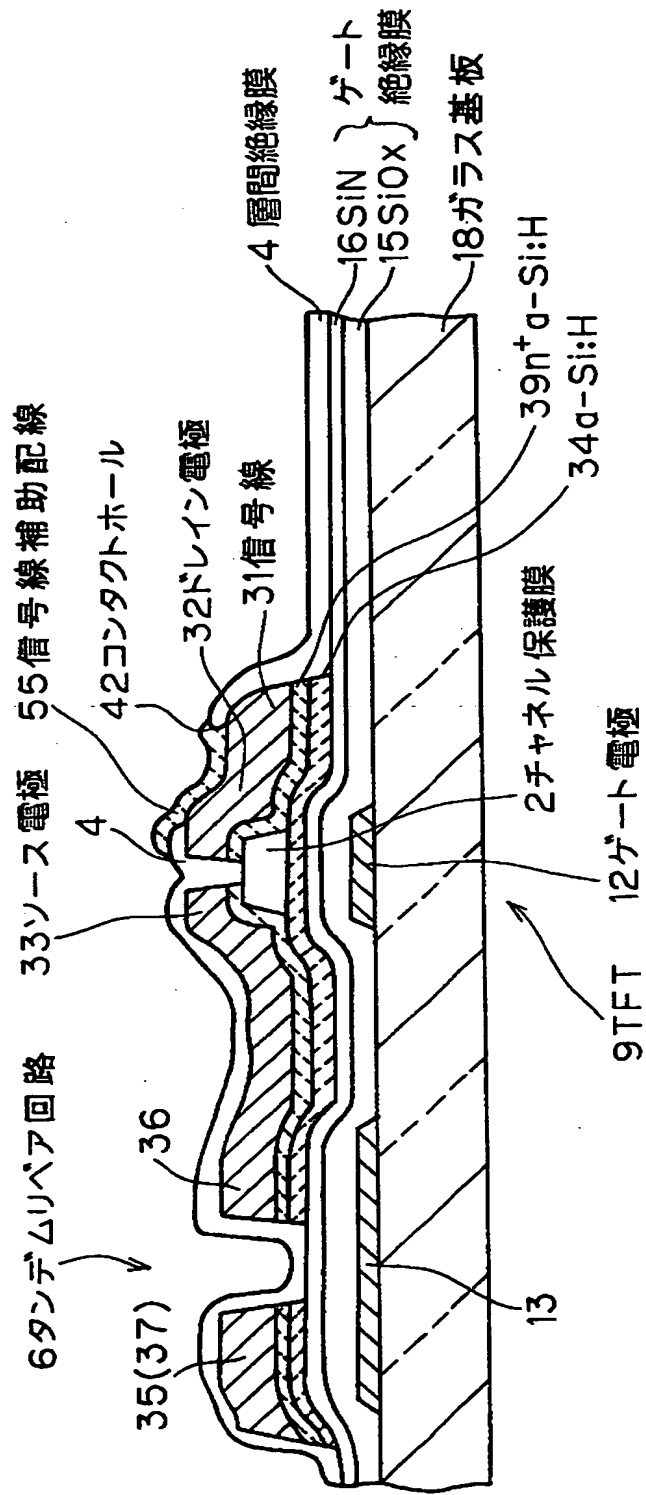


【図2】



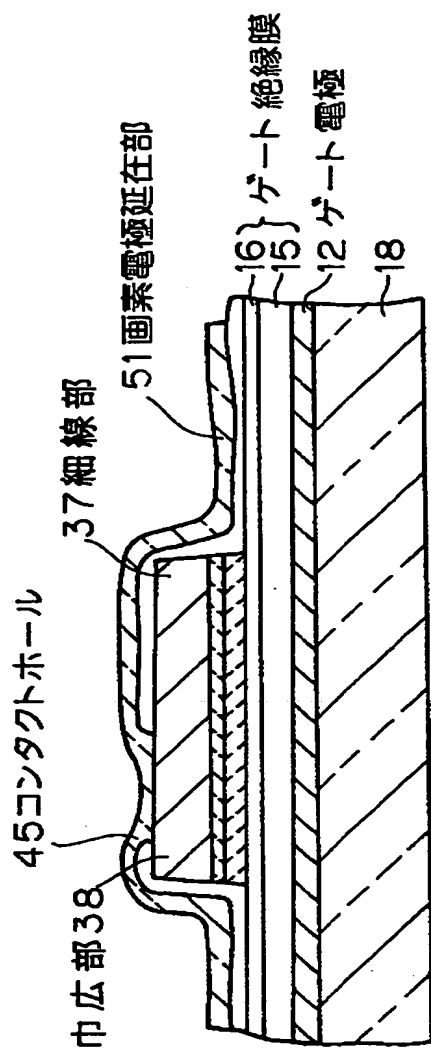
【図3】

図2のA-A断面

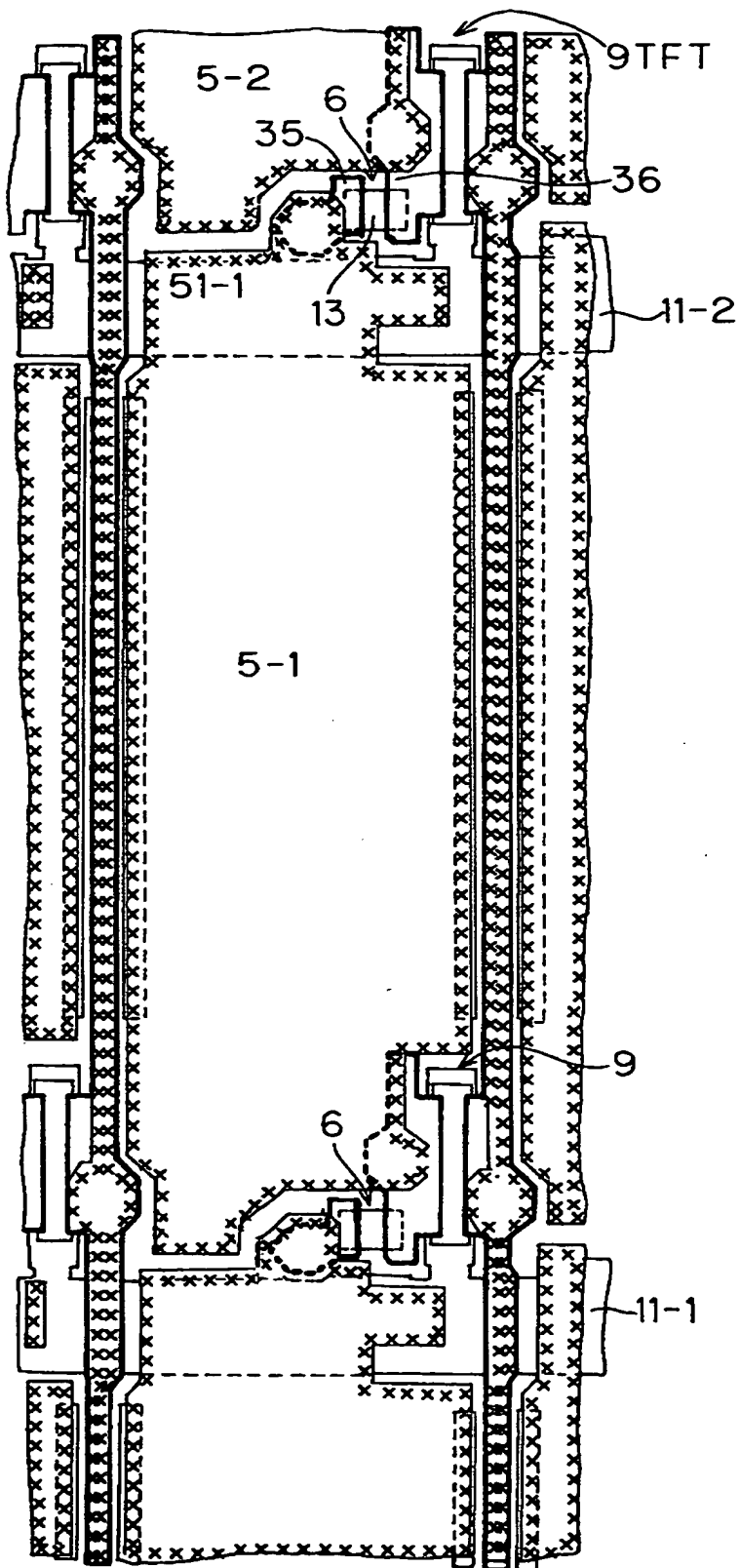


【図 4】

図 2 の B - B 断面



【図5】



特 2 0 0 0 - 2 0 8 6 1 4

【書類名】 要約書

【要約】

【課題】 平面表示装置等に用いられるマトリクスアレイ基板であって、一の画素電極 5-1 の補助容量形成用延在部 5 1-1 と、その隣（前段）の画素電極と 5-2 との間に、タンデムリペア回路 6 が設けられたものにおいて、タンデムリペア回路を設けることによる画素開口率の低下を少なくすることができるとともに、エッチング残渣による画素電極 5-1, 5-2 間の短絡を防止できるものを提供する。

【解決手段】 画素電極延在部 5 1-1 と、タンデムリペア回路 6 の一方の接続電極 3 5 とを接続するコンタクトホール 4 5 を、走査線 1 1 上の領域内に設ける。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝